

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-341860

(43)Date of publication of application : 10.12.1999

(51)Int.Cl.

H02P 6/08

(21)Application number : 10-145604

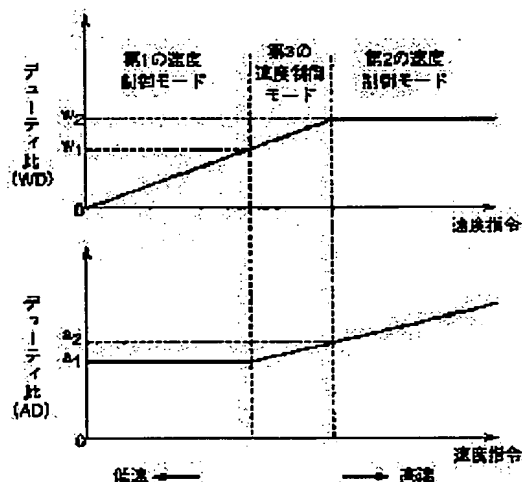
(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 27.05.1998

(72)Inventor : MAEDA SHIRO
BABA TOSHINARI
OKUI HIROSHI**(54) SPEED CONTROLLER FOR DC MOTOR****(57)Abstract:**

PROBLEM TO BE SOLVED: To provide a speed controller for a DC motor, which realize a highly efficient speed control with a good responsiveness over its entire variable-speed region.

SOLUTION: This controller has a first speed-control mode in which the a predetermined value the duty factor for each switching element of its boosting chopper circuit is held, the duty factor of its inverter circuit is varied to perform the speed control of a DC motor, a second speed-control mode wherein holding to a predetermined value the duty factor of its inverter circuit, the duty factor of its boosting chopper circuit is varied to perform the speed control of the DC motor, and a third speed-control mode wherein the duty factors of its boosting chopper circuit, and its inverter circuit are varied at the sometime to perform the speed control of the DC motor.

**LEGAL STATUS**

[Date of request for examination] 04.04.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3538541

[Date of registration] 26.03.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-341860

(43) 公開日 平成11年(1999)12月10日

(51) Int. Cl.⁴

H 0 2 P 6/08

識別記号

F I

H 0 2 P 6/00

3 3 1 Z

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平10-145604

(22) 出願日 平成10年(1998) 5月27日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 前田 志朗

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 馬場 俊成

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 奥井 博司

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

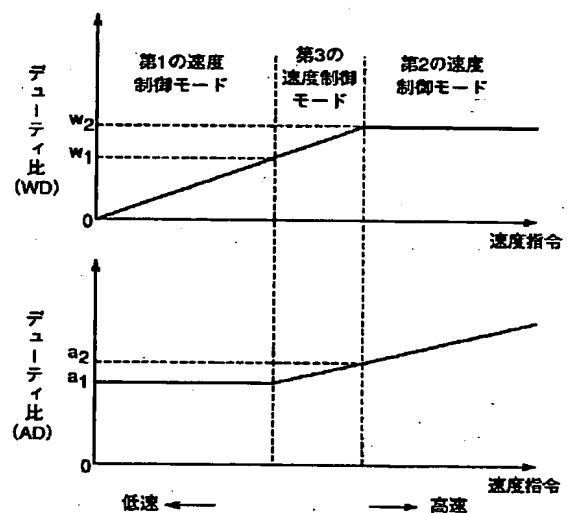
(74) 代理人 弁理士 青山 葆 (外 2 名)

(54) 【発明の名称】 DCモータの速度制御装置

(57) 【要約】

【課題】 DCモータ速度可変全領域において高効率で応答性のよい速度制御を実現するDCモータ速度制御装置を提供する。

【解決手段】 DCモータの駆動制御装置において、昇圧チョッパ回路のスイッチング素子のデューティを所定値に保持し前記インバータ回路のデューティを変化させて前記DCモータの速度制御を行う第1の速度制御モードと、インバータ回路のデューティを所定値に保持し前記昇圧チョッパ回路のデューティを変化させてDCモータの速度制御を行う第2の速度制御モードと、昇圧チョッパ回路のデューティと前記インバータ回路のデューティを同時に変化させて前記DCモータの速度制御を行う第3の速度制御モードを設けた。



【特許請求の範囲】

【請求項1】 スイッチング素子の断続動作により交流電源による入力電圧から可変直流電圧を生成する昇圧チョッパ回路と、該昇圧チョッパ回路からの出力をパルス幅変調することにより所望の電力に変換してDCモータを駆動するインバータ回路とを備え、前記昇圧チョッパ回路のスイッチング素子のデューティ比を所定値に保持し、前記インバータ回路のパルス幅変調のデューティ比を変化させることにより前記DCモータの速度制御を行う第1の速度制御モードと、前記インバータ回路のデューティ比を所定値に保持し、前記昇圧チョッパ回路のデューティ比を変化させることにより前記DCモータの速度制御を行う第2の速度制御モードと、前記昇圧チョッパ回路のデューティ比と前記インバータ回路のデューティ比とを、同時に変化させて前記DCモータの速度制御を行う第3の速度制御モードとを有し、前記第1の速度制御モードにおいてDCモータ加速時に、前記インバータ回路のデューティ比が第1の所定値に達し、さらに加速が必要な場合は、前記第3の速度制御モードに移行し、第3の速度制御モードにおいてDCモータ加速時に、前記インバータ回路のデューティ比が第1の所定値よりも大きい第2の所定値に達し、さらに加速が必要な場合は、前記第2の速度制御モードに移行し、第2の速度制御モードにおいてDCモータ減速時に、前記昇圧チョッパ回路のデューティ比が第3の所定値に達し、さらに減速が必要な場合は、前記第3の速度制御モードに移行し、第3の速度制御モードにおいてDCモータ減速時に、前記昇圧チョッパ回路のデューティ比が第3の所定値よりも小さい第4の所定値に達し、さらに減速が必要な場合は、前記第1の速度制御モードに移行することを特徴とするDCモータの速度制御装置。

【請求項2】 前記第1の速度制御モードにおけるインバータ回路のデューティ比の変化率と、前記第2の速度制御モードにおける昇圧チョッパ回路のデューティ比の変化率とを等しくし、かつ、和が1となる係数P、Qを用いて、前記第2の速度制御モードにおける昇圧チョッパ回路のデューティ比の変化率をP倍したものを第3の速度制御モードにおける昇圧チョッパ回路の変化率とし、前記第1の速度制御モードにおけるインバータ回路のデューティ比の変化率をQ倍したものを第3の速度制御モードにおけるインバータ回路のデューティ比の変化率とすることを特徴とする請求項1記載のDCモータの速度制御装置。

【請求項3】 前記第3の速度制御モードにおいて前記インバータ回路のデューティ比の分解能を、前記昇圧チョッパ回路のデューティ比の分解能より大きくしたことを特徴とする請求項1記載のDCモータの速度制御装置。

置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、DCモータを可変速する場合の速度制御装置に関するもので、特に電力変換手段として昇圧チョッパ回路とインバータ回路を備えた装置に関するものである。

【0002】

【従来の技術】 従来の電力変換装置の一例として、昇圧チョッパ回路とインバータ回路とを備えた装置においてDCモータを可変速する場合の速度制御装置として特開昭63-224698号公報に開示された発明がある。この装置は、図5に示すように昇圧チョッパ回路のスイッチング素子のデューティ比ADを所定値に保持し、インバータ回路のデューティ比WDを変化させてDCモータの速度制御を行う第1の速度制御モードと、インバータ回路のデューティ比を所定値に保持し、昇圧チョッパ回路のデューティ比ADを変化させてDCモータの速度制御を行う第2の速度制御モードとを有している。この装置では、第1の速度制御モードにおいて、インバータ回路のデューティ比WDが所定値w0に達した時に第2の速度制御モードへ移行し、また、第2の速度制御モードにおいて、昇圧チョッパ回路の出力電圧が所定値より低くなった時に第1の速度制御モードへ移行するというものである。

【0003】

【発明が解決しようとする課題】 しかしながら上記従来の構成では第1の速度制御モードにおいて以下の課題を有していた。すなわち、インバータ回路のデューティ比WDと実際にDCモータに印加される電圧の関係は図6に示すようにデューティ比WDが100%に近いデューティ比WM以上ではインバータ回路のスイッチング素子の遮断時のスイッチング遅れによりデューティ比WDを変化させてもモータへの印加電圧が変化しない不感帯が存在する。デューティ比WMはスイッチング素子の特性、個別ばらつき、温度特性により変化するため一律の設定をすることが困難である。ここでインバータ回路のデューティ比の所定値を100%に設定した場合、第1の速度制御モードと第2の速度制御モードとの間の移行時に上記の不感帯を通過するため、速度制御の応答性が悪くなるという課題を有していた。また、上記の所定値をデューティ比WM以下に設定した場合、第2の速度制御モードでインバータ回路のPWMデューティ比を100%にすることができず、PWMデューティ比を100%に設定した時に比べモータの運転効率が悪化するという課題を有していた。

【0004】 本発明は、上記問題を解決すべくなされたものであり、その目的とするところは、DCモータ速度可変全領域において高効率で応答性のよい速度制御を実現するDCモータ速度制御装置を提供することにある。

【0005】

【課題を解決するための手段】上記課題を解決するために、本発明のDCモータの速度制御装置は、スイッチング素子の断続動作により交流電源による入力電圧から可変直流電圧を生成する昇圧チョッパ回路と、該昇圧チョッパ回路からの出力をパルス幅変調することにより所望の電力に変換してDCモータを駆動するインバータ回路とを備える。DCモータの速度制御装置は、前記昇圧チョッパ回路のスイッチング素子のデューティ比を所定値に保持し、前記インバータ回路のパルス幅変調のデューティ比を変化させることにより前記DCモータの速度制御を行う第1の速度制御モードと、前記インバータ回路のデューティ比を所定値に保持し、前記昇圧チョッパ回路のデューティ比を変化させることにより前記DCモータの速度制御を行う第2の速度制御モードと、前記昇圧チョッパ回路のデューティ比と前記インバータ回路のデューティ比とを、同時に変化させて前記DCモータの速度制御を行う第3の速度制御モードとを有する。

【0006】このとき、DCモータの速度制御装置は、前記第1の速度制御モードにおいてDCモータ加速時に、前記インバータ回路のデューティ比が第1の所定値に達し、さらに加速が必要な場合は、前記第3の速度制御モードに移行し、第3の速度制御モードにおいてDCモータ加速時に、前記インバータ回路のデューティ比が第1の所定値よりも大きい第2の所定値に達し、さらに加速が必要な場合は、前記第2の速度制御モードに移行する。また、DCモータの速度制御装置は、第2の速度制御モードにおいてDCモータ減速時に、前記昇圧チョッパ回路のデューティ比が第3の所定値に達し、さらに減速が必要な場合は、前記第3の速度制御モードに移行し、第3の速度制御モードにおいてDCモータ減速時に、前記昇圧チョッパ回路のデューティ比が第3の所定値よりも小さい第4の所定値に達し、さらに減速が必要な場合は、前記第1の速度制御モードに移行する。上記構成によりDCモータ速度可変全領域において高効率で応答性のよい速度制御を実現するものである。

【0007】また、DCモータの速度制御装置において、前記第1の速度制御モードにおけるインバータ回路のデューティ比の変化率と、前記第2の速度制御モードにおける昇圧チョッパ回路のデューティ比の変化率とを等しくする。さらに、和が1となる係数P、Qを用いて、前記第2の速度制御モードにおける昇圧チョッパ回路のデューティ比の変化率をP倍したものを第3の速度制御モードにおける昇圧チョッパ回路の変化率とし、前記第1の速度制御モードにおけるインバータ回路のデューティ比の変化率をQ倍したものを第3の速度制御モードにおけるインバータ回路のデューティ比の変化率としてもよい。以上の構成によりDCモータ可変速全領域において速度変更スピードを一定にすることができる。

【0008】また、DCモータの速度制御装置におい

て、前記第3の速度制御モードにおける前記インバータ回路のデューティ比の分解能を、前記昇圧チョッパ回路のデューティ比の分解能より大きくしてもよい。以上の構成により前記第3の速度制御モードにおける速度制御分解能の低下を防止できる。

【0009】

【発明の実施の形態】以下本発明に係るDCモータの速度制御装置の実施の形態について添付の図面を参照して説明する。

【0010】（実施の形態1）図1は実施の形態1のDCモータの速度制御装置の構成図である。DCモータの速度制御装置は、交流電源1と、交流電源1からの交流を整流する整流回路2と、整流されて得られた直流電圧を昇圧する昇圧チョッパ回路3と、昇圧された直流電圧を所望の交流電圧に変換するインバータ回路4と、DCモータ5の回転子の位置を検出する回転子位置検出回路6と、これらの回路の動作を制御する制御回路7とを備える。昇圧チョッパ回路3は、リアクタ3aと、スイッチング素子であるトランジスタ3bと、ダイオード3cと、コンデンサ3dとから構成される。インバータ回路4は、図1のように接続された6個のスイッチング素子であるトランジスタ4a～4fと、6個のダイオード41～46とで構成される。さらにDCモータの速度制御装置は、制御回路7からの出力信号に基づいて、昇圧チョッパ回路3を駆動するチョッパドライブ回路8と、インバータ回路4を駆動するインバータドライブ回路9とを備える。回転子位置検出回路6は、DCモータ5の誘起電圧を検出し、それらを波形整形して回転子位置に対応した位置検出信号61を生成する。

【0011】制御回路7は、回転子位置検出回路6からの位置検出信号61よりDCモータ5を適正に回転させるためのトランジスタ4a～4fの駆動信号を生成するインバータ駆動信号生成部7aと、回転子位置検出回路6からの位置検出信号61よりDCモータ5の速度を検出する速度検出部7bと、DCモータ5の速度指令を生成する速度指令部7cと、速度検出部7bおよび速度指令部7cの出力から昇圧チョッパ回路のデューティ比AD及びインバータ回路のデューティ比WDを演算するデューティ演算部7dとを有する。

【0012】チョッパドライブ回路8は、デューティ演算部7dからの出力信号71によりデューティ比ADで昇圧チョッパ回路3のトランジスタ3bを駆動するための駆動信号81を与える。インバータドライブ回路9は、インバータ駆動信号生成部7aからの出力73に対してデューティ演算部7dからの出力信号72によりデューティ比WDでパルス幅変調をかけた制御信号91を生成し、インバータ回路4のトランジスタ4a～4fを駆動する。

【0013】以上のように構成されたDCモータの速度制御装置の動作を説明する。本実施形態のDCモータの

速度制御装置は、DCモータ5を駆動する動作モードとして、第1から第3の速度制御モードを有する。第1の速度制御モードでは、昇圧チョップ回路3からの出力電圧を一定とし、インバータ回路4においてトランジスタ4a~4fのスイッチング動作をPWM制御することによりモータ5へ入力する平均電圧を変化させることによりモータ5の速度を制御する。第2の速度制御モードでは、昇圧チョップ回路3のトランジスタ3bの動作を制御して、インバータ回路4へ入力する直流電圧の大きさを变化させ、DCモータ5への入力電圧を変化させることによりモータ5の速度を制御する。このとき、インバータ回路4は一定のデューティ比でPWM制御される。第3の速度制御モードでは、昇圧チョップ回路3でインバータ回路4へ入力する直流電圧値を変化させると同時に、インバータ回路4においてDCモータ5への入力電圧を変化させることによりモータ5の速度を制御する。すなわち、第1の速度制御モードでは、インバータ回路4のスイッチング素子4a~4fの駆動信号に対するデューティ比WDを変化させ、第2の速度制御モードでは昇圧チョップ回路3のスイッチング素子3bの駆動信号に対するデューティ比ADを変化させ、第3の速度制御モードではデューティ比WD、ADの双方を変化させる。

【0014】図2はDCモータの速度制御装置の速度指令とインバータ回路4のデューティ比WDとの関係、及び速度指令と昇圧チョップ回路3のデューティ比ADとの関係を示した図である。以下、図2を用いてDCモータの速度制御装置の動作を説明する。

【0015】最初に、DCモータの起動時すなわち加速時の動作について説明する。図2に示すように、第1の速度制御モードにおいて昇圧チョップ回路3のデューティ比ADは最初、所定値（最小値） a_1 に設定され、一方、インバータ回路4のデューティ比WDは所定の変化率で増加され、DCモータ5が起動（加速）される。このとき、DCモータ5の回転速度は制御回路7の速度検出部7bにより常時検出され、デューティ演算部7dにおいて速度指令部7cからの速度指令値と比較されてその差分が0となるようにデューティ比WDが増減される。デューティ比WDが所定値 w_1 に達した時点でDCモータ5の速度がまだ速度指令値に到達していない時は、第3の速度制御モードに移行する。第3の速度制御モードでは、図2に示すように、インバータ回路4のデューティ比WDを増加させるとともに、昇圧チョップ回路3のデューティ比ADも同時に所定の変化率で増加させる。ここでも速度検出値と速度指令値との差分が0になるようにデューティ比AD、WDが増減される。デューティ比WDが所定値 w_2 ($>w_1$)に達しても、DCモータ5の速度がまだ速度指令値に到達していないときは、第2の速度制御モードに移行する。第2の速度制御モードでは、デューティ比WDを所定値 w_2 に保持し、

デューティ比ADを増加させる。ここでは速度検出値と速度指令値との差分が0になるようにデューティ比ADが制御される。

【0016】次に、DCモータの減速時の動作について説明する。第2の速度制御モードにおいて、減速時にデューティ比ADが所定値 a_2 ($>a_1$)に達してもDCモータ5の速度がまだ速度指令値に到達していないときは、第3の速度制御モードに移行する。第3の速度制御モードでは、デューティ比AD、WDを所定の変化率で同時に減少させる。ここでも速度検出値と速度指令値との差分が0になるようにデューティ比AD、WDの大きさが制御される。デューティ比ADが最小値 a_1 に達してもDCモータ5の速度がまだ速度指令値に到達していないときは、第1の速度制御モードに移行する。第1の速度制御モードでは、デューティ比ADは所定値（最小値） a_1 に保持され、デューティ比WDが速度検出値と速度指令値との差分が0になるように制御される。

【0017】以上のように、本実施形態のDCモータの速度制御装置は、インバータ回路4によりDCモータ5に対する出力電圧を制御する第1の速度制御モードと、昇圧チョップ回路3によりDCモータ5に対する出力電圧を制御する第2の速度制御モードとの間に第3の速度制御モードを設け、この第3の速度制御モードでは、インバータ回路4に対するデューティ比WDと、昇圧チョップ回路3に対するデューティ比ADとの双方を同時に変化させるようにした。これにより、DCモータ速度可変全領域において応答性のよい速度制御を実現する。

【0018】（実施の形態2）本実施形態のDCモータの速度制御装置は、DCモータ5の速度変化率を全ての速度制御モードにおいて一定とするものである。本実施形態のDCモータの速度制御装置の構成は図1に示す実施の形態1のものと同様である。前述したように、第3の速度制御モードにおいては、昇圧チョップ回路3のデューティ比ADとインバータ回路4のデューティ比WDとが同時に増減されていた。DCモータの速度変化率はデューティ比の変化率に比例する。そのため、第1の速度制御モードでの速度変化率を a 、第2の速度制御モードでの速度変化率を b とすると、第3の速度制御モードでの速度変化率は $a+b$ になる。つまり、図3に示すように第3の速度制御モードにおける速度変化率は他の速度制御モードにおける速度変化率より大きくなる。このように速度制御モードに応じて速度変化率が異なると、それを考慮した種々の制御が必要となり、制御が煩雑となる。そこで、速度変化率を一定とすることが要求される。

【0019】本実施形態では、この点を改善するため、第1の速度制御モードでのインバータ回路4のデューティ比WDの変化率WSと、第2の速度制御モードでの昇圧チョップ回路3のデューティ比ADの変化率ASとを等しくする。さらに、第3の速度制御モードでの昇圧チ

ヨッパ回路3のデューティ比の変化率 AS' と、インバータ回路4のデューティ比WDの変化率 WS' とを係数P、Qを用いて以下のように設定する。

$$WS' = P \cdot WS \quad \dots (1)$$

$$AS' = Q \cdot AS = Q \cdot WS \quad \dots (2)$$

ここで、 $P+Q=1$ である。

【0020】このように第3の速度制御モードにおけるデューティ比の変化率を設定することにより、第3の速度制御モードにおけるDCモータ5の速度変化率が、他のモードにおけるDCモータ5の速度変化率と等しくなり、全てのモードを通じてDCモータ5の速度変化率を一定とすることができる。

【0021】(実施の形態3) 本実施形態のDCモータの速度制御装置は、第3の速度制御モードにおけるDCモータ5の速度制御分解能を改善するものである。本実施形態のDCモータの速度制御装置の構成は、実施の形態1と同様である。前述のように、第3の速度制御モードにおいては昇圧チョッパ回路3のデューティ比ADとインバータ回路4のデューティ比WDとを同時に増減する。このため、デューティ比ADとデューティ比WDを変化させるときの最小の変化量(変化単位量)が同じであれば、第3の速度制御モードでの速度制御分解能は他のモードでの分解能より低下する。すなわち、第3の速度制御モードでは他のモードと比較して速度制御の精度が低くなる。この点を改善するために、本実施形態では、第3の速度制御モードにおいて、インバータ回路4のデューティ比WDの分解能を、昇圧チョッパ回路3のデューティ比ADよりも大きく設定する。例えば、昇圧チョッパ回路3のデューティ比ADの分解能を2.56段階、インバータ回路4のデューティ比WDの分解能を5.12段階とする。

【0022】このようにデューティ比の分解能を設定することにより第3の速度制御モードにおいては、図4に示す通り昇圧チョッパ回路3のデューティ比ADを1段階変化させる間に、インバータ回路4のデューティ比WDは2段階選択可能となる。すなわち、これら2つのデューティ比AD、WDの組み合わせによりDCモータの速度制御を行うことにより、第3の速度制御モードにおける速度制御分解能を大きくできる。ここで、インバータ回路4のデューティ比WDの分解能を、昇圧チョッパ回路3のデューティ比ADよりも大きく設定するのは、昇圧チョッパ回路3の出力電圧応答性とインバータ回路4のパルス幅変調による出力電圧応答性を比較すると、インバータ回路4の応答性のほうが昇圧チョッパ回路3よりも良いためである。これにより、第3の速度制御モードにおいて高速応答を実現でき、かつ速度制御分解能を高くできる。

【0023】

【発明の効果】本発明のDCモータの駆動制御装置によれば、昇圧チョッパ回路のスイッチング素子のデューティ

比を所定値に保持し、インバータ回路のデューティ比を変化させて前記DCモータの速度制御を行う第1の速度制御モードと、インバータ回路のデューティ比を所定値に保持し前記昇圧チョッパ回路のデューティ比を変化させてDCモータの速度制御を行う第2の速度制御モードと、昇圧チョッパ回路のデューティ比と前記インバータ回路のデューティ比を同時に変化させて前記DCモータの速度制御を行う第3の速度制御モードを設けたことにより、インバータ回路による速度制御領域と昇圧チョッパ回路による速度制御領域間の移行時も高効率で応答性のよい速度制御を実現でき、DCモータ可変速全領域において高効率で応答性のよい速度制御を実現できる。

【0024】また、本発明のDCモータの駆動制御装置によれば、第3の速度制御モードにおいて、昇圧チョッパ回路とインバータ回路に対するデューティ比の変化率を、他のモードでの各デューティ比の変化率に基づき所定の割合で小さく設定してもよく、これにより、DCモータ可変速全領域において速度変更スピードを一定にすることができる。

【0025】また、本発明のDCモータの駆動制御装置によれば、第3の速度制御モードにおいてインバータ回路のデューティの分解能を昇圧チョッパ回路のデューティの分解能より大きくしてもよく、これにより、第3の速度制御モードにおける速度制御分解能の低下を防止できる。

【図面の簡単な説明】

【図1】 本発明に係る速度制御装置の構成図。

【図2】 本発明に係る速度制御装置において、各速度制御モードにおけるインバータ回路のデューティ比WDの制御を説明した図(上図)、及び各速度制御モードにおける昇圧チョッパ回路のデューティ比ADの制御を説明した図(下図)。

【図3】 実施の形態2において、各速度制御モードにおけるモータの速度変化を説明した図。

【図4】 実施の形態3において、デューティ比の分解能を説明した図。

【図5】 従来の速度制御装置において、各速度制御モードにおけるインバータ回路のデューティ比WDの制御を説明した図(上図)、及び各速度制御モードにおける昇圧チョッパ回路のデューティ比ADの制御を説明した図(下図)。

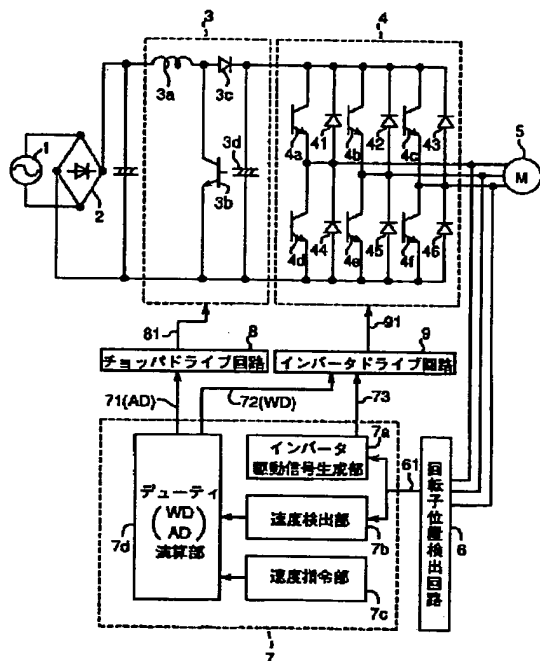
【図6】 インバータ回路のデューティ比WDとモータ印加電圧との関係を示す図。

【符号の説明】

- 1 交流電源
- 2 整流回路
- 3 昇圧チョッパ回路
- 3b スwitching素子
- 4 インバータ回路
- 5 DCモータ

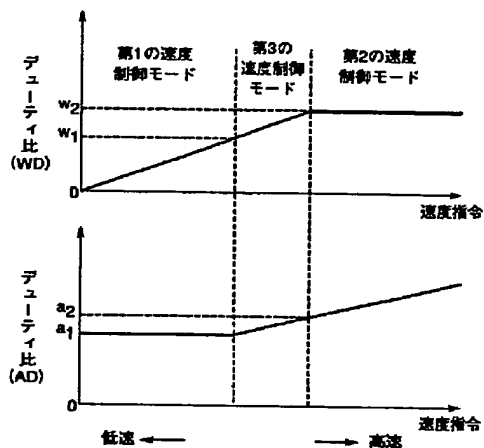
7 制御回路。

【図1】

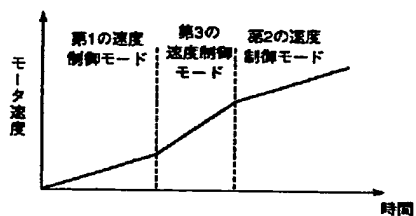


【図3】

【図2】



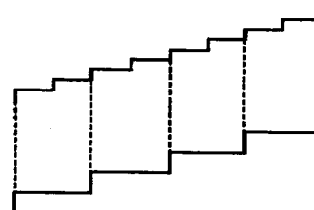
【図4】



【図5】

インバータ回路の
デューティ比 (WD)

昇圧チョッパ回路の
デューティ比 (AD)



【図6】

